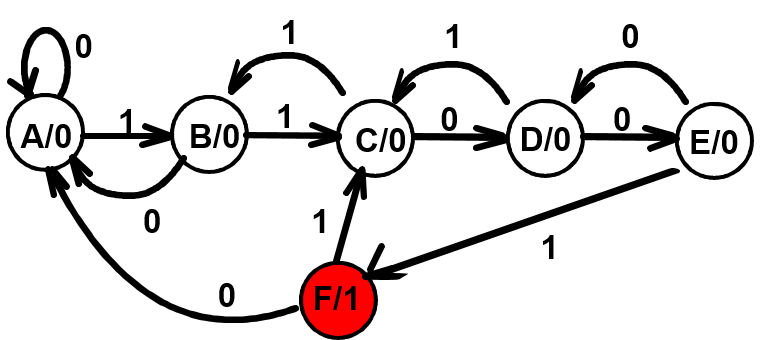
**數位電路實驗HW4 11001 Sequence Recognizer**

第十四組：A1055547王公志、A1073136黃柏盛

1. **Abstract**

採取Moore model製作11001 sequence recognizer，其中各個state (A~F)由3-bit長的string代表(000 ~ 101)，module其餘輸入和輸出如下所示：

* 1. Module input: **x**, **CLK**;
  2. Module output: **[2:0] state**, **y**.
  3. State diagram:



1. **Content**
   1. 程式碼：

module Sequence\_Recognizer\_11001\_MooreModel(

output reg y,

output reg [2:0] state,

input x,

input CLK

);

initial begin

y = 1'b0;

state = 3'b000;

end

always @ (posedge CLK)

begin

if (state == 3'b101) begin

y = 1'b1;

if (x == 1'b0)

state <= 3'b000; // F > A

else

state <= 3'b010; // F > C

end

else begin

y = 1'b0;

case(state)

3'b000: begin

if (x == 1'b0)

state <= 3'b000; // A > A

else

state <= 3'b001; // A > B

end

3'b001: begin

if (x == 1'b0)

state <= 3'b000; // B > A

else

state <= 3'b010; // B > C

end

3'b010: begin

if (x == 1'b0)

state <= 3'b011; // C > D

else

state <= 3'b001; // C > B

end

3'b011: begin

if (x == 1'b0)

state <= 3'b100; // D > E

else

state <= 3'b010; // D > C

end

3'b100: begin

if (x == 1'b0)

state <= 3'b011; // E > D

else

state <= 3'b101; // E > F

end

endcase

end

end

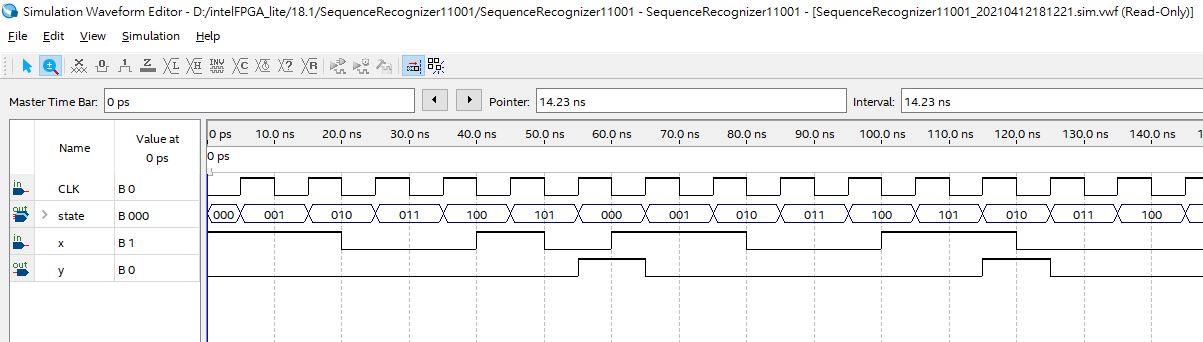
endmodule

* 1. 模擬結果：

**input: x,**

**output: y,**

**state 000 ~ 101分別對應state A ~ F.**



1. **Discussion**  
    本次由於採用Moore model製作，必須新增一個state F，使其符合**output only depends on current state的特性**。模擬時設定每當clock(CLK)觸發posedge就檢查current state是否為F，若true則set output to 1；else set output to 0。而next state則由input x、current state和state diagram決定。

此外，由於Mealy model的output除了current state外，只須再確認input x，因此和Moore model在程式碼的實作差異僅有output y的決定順序，故在此報告沒有另外描述Mealy model。